

PCT/JP2004/017685

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

29.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 2 月 1 1 日  
Date of Application:

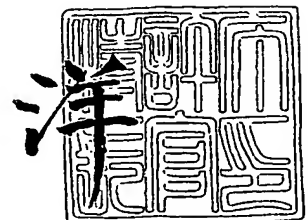
出 願 番 号            特 願 2 0 0 3 - 4 1 2 9 2 7  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 4 1 2 9 2 7 ]

出 願 人            株式会社河合楽器製作所  
Applicant(s):

2 0 0 5 年   1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号   出証特 2 0 0 4 - 3 1 2 2 5 9 5

【書類名】 特許願  
【整理番号】 KW15320  
【提出日】 平成15年12月11日  
【あて先】 特許庁長官殿  
【国際特許分類】 G10H 7/02  
【発明者】  
    【住所又は居所】 静岡県浜松市寺島町 2 0 0 番地 株式会社河合楽器製作所内  
    【氏名】 平野 哲也  
【特許出願人】  
    【識別番号】 000001410  
    【氏名又は名称】 株式会社河合楽器製作所  
【代理人】  
    【識別番号】 100086863  
    【弁理士】  
    【氏名又は名称】 佐藤 英世  
【手数料の表示】  
    【予納台帳番号】 061528  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】特許請求の範囲****【請求項 1】**

波形メモリから共通クロックでメモリアクセスを行い、メモリアクセスのマスタとして動作するマスタ音源と同アクセスのスレーブとして動作するスレーブ音源とを備える楽音発生装置であって、

上記スレーブ音源には、波形読み出しスレーブアドレスをマスタ音源へ送信する手段と

、  
上記マスタ音源には、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段と、

上記マスタ音源には、波形メモリから読み出されたスレーブ用波形データをスレーブ音源に送信する手段と、

上記スレーブ音源には、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段とを有しており、

上記マスタ音源は、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信すること  
を特徴とする楽音発生装置。

**【請求項 2】**

上記マスタ音源の、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段は、反転クロックのエッジで受信し、

上記スレーブ音源の、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段は、反転クロックのエッジで受信すること  
を特徴とする請求項 1 に記載の楽音発生装置。

## 【書類名】 明細書

## 【発明の名称】 楽音発生装置

## 【技術分野】

## 【0001】

本発明は、1つの波形メモリから読み出した波形データを複数の音源により発音する楽音発生装置に関する。

## 【背景技術】

## 【0002】

少なくとも2チップの音源を有しており、システムカウンタを同期させて（共通クロックでメモリアクセスして）共通の波形メモリから、夫々のデータを読み出して楽音を発生させる構成が、電子楽器などで使用されている。

## 【0003】

図8は、波形メモリ102を共用する2チップ音源100及び101が用いられる（2チップモード時）楽音発生装置の従来例を示している。ここではマスタ音源100からのアドレスバスを波形メモリ102に接続し、該波形メモリ102からのデータバスを、マスタ音源100及びスレーブ音源101に接続している。

## 【0004】

ここでマスタ音源から波形メモリ102へのアドレスバスは24bitバスであるが、図9に示すように、スレーブ音源101とマスタ音源100とはシリアルで接続されており、スレーブ音源101側でパラレル-シリアル変換されて、1チャンネル時間に、6bitずつ4回に分けてシリアルでアドレスが転送され、マスタ音源100側でシリアル-パラレル変換されて、24bitにして、スレーブアドレスがマスタ音源100側に転送される。

## 【0005】

そしてマスタ音源100が1チャンネル演算の前半及び後半の2度のメモリアクセスをし、その前半のメモリアクセスで読み出されるデータをマスタ音源100が、また後半のメモリアクセスで読み出されるデータをスレーブ音源101が受信する。

## 【0006】

他方図10は、上記のような構成において、外部からの信号でモード変更が行われ、音源100だけを使用する1チップモード（単体音源モード）に変更された状態を示している。この際、図11のタイミングチャートで示されるように、音源100が波形メモリ102へアドレスを出力し、それから該音源100にデータが出力される。その後しばらく何の処理もない状態が継続し、次のチャンネルでは、以上と同じ処理が繰り返される。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

時分割演算を行う構成では、一般に、チャンネル数が多くなると、1回のメモリアクセスサイクル時間が短くなる。このメモリアクセスサイクル時間の内訳は、波形メモリにアドレスが入力されるまでのアドレス出力遅延時間、アドレスアクセス時間（アドレスを出力してからデータが出力されるまでの時間）及びセットアップ時間（正常に入力を読み込ませるためにクロックの有効なエッジ以前に入力信号を安定させていなければならない最小時間）があり、そのうち、アドレスアクセス時間にほとんどが割かれてしまい、その時間経過後に波形メモリから出力されるデータの取得有効時間が短くなってきている。

## 【0008】

しかも、波形メモリを共用する2チップ音源が同時に使用される上記従来構成では、2チップモード時に、その基盤上の配線の影響や、クロック入力バッファの閾値の差により、図12(a)(e)(f)に示すように、2チップ音源のシステムクロック間にスキューが発生している場合もあり、完全な同期動作をしているとは言い難い。

## 【0009】

データ取得の有効な時間が少なくなっている状況でスレーブ音源がデータを受信する場合

合、2チップ音源のシステムクロック間にスキューがある[上記図12(a)と(e)の間、又は(a)と(f)の間]と、正しいデータを得られない危険がある。上記図12の場合では、例えば、1クロックが27nsとして、1メモリアクセスを4クロック、118nsで行う時、アドレスの最大出力遅延時間が23ns、アドレスアクセス時間が90ns、データの最小セットアップ時間が5nsであると、計118nsとなるため、マスタ音源とスレーブ音源のクロックの位相のずれは、許されない状態になる。

#### 【0010】

これを回避するために高速なメモリを使用して十分なマージンを稼ぐこともあるが、高速なメモリはビット単価が高く、实际的ではない。そもそもスレーブ音源の有無だけで採用できるメモリが異なることは好ましくない。

#### 【0011】

本発明は、以上のような問題に鑑み創案されたもので、複数の音源が共通の波形メモリのデータを読み出す構成で、メモリアクセスサイクル時間が短い場合に、メモリアクセスのマスタとして動作する音源以外の音源が確実にデータを取得できる楽音発生装置を提供せんとするものである。

#### 【課題を解決するための手段】

#### 【0012】

そのため本発明に係る構成は、

波形メモリから共通クロックでメモリアクセスを行い、メモリアクセスのマスタとして動作するマスタ音源と同アクセスのスレーブとして動作するスレーブ音源とを備える楽音発生装置であって、

上記スレーブ音源には、波形読み出しスレーブアドレスをマスタ音源へ送信する手段と

、  
上記マスタ音源には、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段と、

上記マスタ音源には、波形メモリから読み出されたスレーブ用波形データをスレーブ音源に送信する手段と、

上記スレーブ音源には、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段とを有しており、

上記マスタ音源は、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信すること

を基本的特徴としている。

#### 【0013】

上記構成によれば、上記マスタ音源は、複数音源モード時に、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信するため、スレーブ音源がスレーブ用波形データを取得するのに、メモリアクセスサイクル時間に左右されることはなくなる。すなわち、スレーブ音源が行うべきアドレス出力及びスレーブ用波形データの取得は、マスタ音源が主体となって行っており、メモリアクセスサイクル時間に関係なく、スレーブ音源は、確実にスレーブ用波形データを取得することができるようになる。

。

#### 【0014】

上記の構成で、上記マスタ音源の、スレーブ音源の上記送信手段から送信された上記ス

スレーブアドレスを受信する手段は、反転クロックのエッジで受信し、また上記スレーブ音源の、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段は、反転クロックのエッジで受信するようにすると良い（請求項2）。

#### 【0015】

上記請求項1は、単純に言えば、マスタ音源とスレーブ音源があり、両音源が波形メモリを共有しつつ、マスタ音源が波形メモリアクセスを制御し、マスタ・スレーブ音源間で、シリアル送受信を実行する構成である。以上の構成に対し、さらに上記請求項2のような構成を採用することにより、シリアルデータ受信のタイミングを、通常のクロック立上がりだけではなく、立下り（反転クロックエッジ）で指定できて、1チャンネル（シリアル転送に使用する）時間が少ないクロックの場合（後述する本実施例のように8クロックしかない場合など）に、細かなタイミング設定ができるようになる。

#### 【発明の効果】

#### 【0016】

本発明の請求項1記載の楽音発生装置によれば、複数の音源が共通の波形メモリのデータを読み出す構成で、メモリアクセスサイクル時間が短い場合でも、メモリアクセスのマスタとして動作するマスタ音源以外のスレーブ音源に対し、確実にデータを取得させることができるようになるという優れた効果を奏し得る。

#### 【発明を実施するための最良の形態】

#### 【0017】

以下、本発明の実施の形態を図示例と共に説明する。

#### 【0018】

#### （実施例1）

図1は、本発明に係る波形再生装置の構成が用いられた電子楽器（例えば電子オルガン）の回路概略図である。

#### 【0019】

本電子楽器は、上中下段の鍵盤及びフットペダルなどに夫々異なる音色が割り当てることができるようになっており、しかも鍵盤は、左右でスプリットされ、夫々の位置で同じく違う音色が設定できるようになっている。従って、これらの鍵盤などを押鍵すると、夫々の楽音が同時に発生するのに必要なチャンネル数は、32音色分のチャンネル数を越えることも多い。

#### 【0020】

本電子楽器は、図1に示すように、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、マスタ音源100及びスレーブ音源101が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。

#### 【0021】

CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子楽器の全体を制御する。

#### 【0022】

上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。

#### 【0023】

上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。

#### 【0024】

(a) 音色設定フラグ：後述する操作パネル114の設定により、マスタ音源100やスレーブ音源101から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。

#### 【0025】

(b) 1チップモードフラグ: 本電子楽器は、楽音の発生に関し後述するようにマスタ音源100及びスレーブ音源101と、それらが共用して使う波形メモリ102が備えられているが、上記音色設定フラグの設定によって、マスタ音源100だけで楽音を発生させる場合や、演奏者の操作パネル114の操作により、音色設定フラグが変更され、マスタ音源100だけで楽音を発生させる場合がある。その場合このフラグが立つことになる(=1)。この時CPU111は、該1チップモードフラグを参照し、モード切替信号を出力する(0: 2チップモード、1: 1チップモード)。上記はモード切替信号を変更できる構成の説明であるが、モード切替信号は固定したままで使うこともある。

#### 【0026】

パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば同時発音数を増やさず際、例えば32チャンネルから64チャンネルにするなど、音源をマスタ音源100とスレーブ音源101の2つを使用する場合があり(使用する音色数が多い場合など)、その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、64チャンネルなどのチャンネル設定が行われる。また、上述のように、演奏者の操作パネル114の操作により、音色設定フラグが変更され、直接1チップモードフラグが変更されて、2チップモードにされる場合もある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。

#### 【0027】

上記チャンネル設定や演奏者の操作パネル114の操作により、上記1チップモードフラグが解除されると、マスタ音源100及びスレーブ音源101の2つが使用される状態となり、32チャンネルを超えるチャンネル設定ができるようになる。またそのチャンネル設定変更や操作パネル114の操作により、1チップモードフラグが設定されると、音源100のみが使用され、32チャンネル以下のチャンネル設定がなされる。

#### 【0028】

上記パネルスキャン回路114aは、CPU111からの指令に回答して操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

#### 【0029】

また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯/消灯され、またLCDにメッセージが表示される。

#### 【0030】

上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からペロシテイを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路115aは、2点スイッチからの押鍵データを受け取ると、それをCPU111に送る。

#### 【0031】

鍵盤スキャン回路115aからの押鍵データは、CPU111により、RAM113上の音色設定フラグ及び1チップモードフラグが参照され、夫々のチャンネルに対応するマスタ音源100、乃至マスタ音源100及びスレーブ音源101に送られることになる。

## 【0032】

マスタ音源100及びスレーブ音源101は、1つの波形メモリ102を共用し、該波形メモリ102に対し共通クロックでメモリアクセスを行って、該波形メモリ102に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。ただし、2チップモードの際は、さらに後述するように、両音源100及び101には、マスタとスレーブの間でのメモリアドレス及び波形データのやりとりに関し、外部の波形メモリ102に対しての別途の構成を有している。すなわち、スレーブ音源101が行うべきアドレス出力及びスレーブ用波形データの取得は、マスタ音源100が主体となって行う構成となっている。

## 【0033】

さらに、これらの音源から出力された波形データは、D/A変換回路116に入力され、デジタル-アナログ変換され、アンプ117で増幅され、スピーカ118から外部に楽音として放出される。

## 【0034】

2チップモード時に切り替えられた際、マスタ音源100及びスレーブ音源101には、波形メモリ102に対して、図2に示すような構成が備えられることになる。すなわち、スレーブ音源101には、波形読み出しスレーブアドレスをマスタ音源100へ送信する手段1と、マスタ音源100には、スレーブ音源101の上記送信手段1から送信された上記スレーブアドレスを受信する手段2と、マスタ音源100には、波形メモリ102から読み出されたスレーブ用波形データをスレーブ音源101に送信する手段3と、スレーブ音源101には、マスタ音源100の上記送信手段3から送信されたスレーブ用波形データを受信する手段4とが備えられる。これらの音源は、専用のLSIで設計されており、図示しないが、内部に、バッファやレジスタと、補間時の所定の係数を記憶する固定記憶部などから構成されていて、それによって、上記各手段が構成されることになる。さらに、後述する実施例2の構成も有している。

## 【0035】

マスタ音源100は、図2及び図3に示すように、1チャンネルの演算時間の前半に、演算で得られた（一定値を累算して得られる）マスタアドレス（図3ではマスタ用と図示）を波形メモリ102に出力し、1チャンネルの演算時間の後半に、上記スレーブ音源101の送信手段1から送信され、その受信手段2で受信されたスレーブアドレス（図ではスレーブ用と図示）を、同じく波形メモリ102に出力する。

## 【0036】

他方上記マスタ音源100は、1チャンネルの演算時間の後半に、波形メモリ102から受信したスレーブ用波形データを、マスタ音源100の上記送信手段3に供給し、スレーブ音源101の受信手段4に向けて送信する。

## 【0037】

尚、前述のように、スレーブ音源101の送信手段1とマスタ音源100の受信手段2とはシリアルで接続されており、図3に示すスレーブアドレスA0～A23は、スレーブ音源101側でパラレル-シリアル変換されて、1チャンネル時間に、6bitずつ4回に分けてシリアルでアドレスが転送され、マスタ音源100側でシリアル-パラレル変換されて、24bitにして、スレーブアドレスがマスタ音源100側に転送される。しかもこのスレーブアドレスは、このチャンネル以降に波形メモリ102から読み出されるスレーブ用波形データのアドレスである。

## 【0038】

他方、マスタ音源100の送信手段3とスレーブ音源101の受信手段4とはこれもまたシリアルで接続されており、図3に示すスレーブ用波形データD0～D15は、マスタ音源100側でパラレル-シリアル変換されて、1チャンネル時間に、4bitずつ4回に分けてシリアルでデータが転送され、スレーブ音源101側でシリアル-パラレル変換

されて、16bitにして、スレーブ用波形データがスレーブ音源101側に転送される。しかもこのスレーブ用波形データは、このチャンネルよりも前に波形メモリ102から読み出され上記受信手段4に受信されたスレーブ用波形データである。

#### 【0039】

以上のような実施例1の構成によれば、上記マスタ音源100は、2チップモード時に、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリ102に出力し、1チャンネルの演算時間の後半に、上記スレーブ音源101の送信手段1から送信され、その受信手段2で受信されたスレーブアドレスを、同じく波形メモリ102に出力し、上記マスタ音源100が、1チャンネルの演算時間の後半に、波形メモリ102から受信したスレーブ用波形データを、マスタ音源100の上記送信手段3に供給し、スレーブ音源101の受信手段4に向けて送信する。

#### 【0040】

そのため、スレーブ音源101がスレーブ用波形データを取得するのに、メモリアクセスサイクル時間に左右されることがなくなる。すなわち、スレーブ音源101が行うべきアドレス出力及びスレーブ用波形データの取得は、マスタ音源100が主体となって行っており、メモリアクセスサイクル時間に関係なく、スレーブ音源101は、確実にスレーブ用波形データを取得することができるようになる。

#### 【0041】

図4は、同じ発信器（図示なし）から供給されるクロックで、マスタ音源100とスレーブ音源101との間にスキューが生じている場合（前側にずれている場合スキュー有り\_1、反対に後側にずれている場合スキュー有り\_2）に、上記の本実施例構成で、マスタ音源100から波形メモリ102に入力されるアドレスと波形メモリ102からマスタ音源100に出力される波形データの状態（図4の上段側）、及びマスタ音源100の送信手段3から出力されるスレーブ波形用データのスレーブ音源101の受信手段4によるデータ取り込み状態を示すタイミングチャートである。ここで、マスタ音源100の送信手段3から送信されたスレーブ用波形データを受信するスレーブ音源101側の受信手段4は、反転クロックのエッジで受信している。同様に、スレーブ音源101の送信手段1から送信されたスレーブアドレスを受信するマスタ音源100側の受信手段2も、反転クロックのエッジで受信している。

#### 【0042】

2チップモードの時に、マスタ音源100とスレーブ音源101の両音源が波形メモリ102を共有しつつ、マスタ音源100が波形メモリアクセスを制御し、マスタ・スレーブ音源間で、シリアル送受信を実行する構成において、さらにスレーブ音源101側のシリアルデータ受信のタイミングを、反転クロックエッジで指定しているので、本実施例のように8クロックしかない場合など、1チャンネル（シリアル転送に使用する）時間が少ないクロックの場合に、細かなタイミング設定ができるようになる。

#### 【0043】

上記構成で、以上のようにマスタ音源100側の送信手段3が2クロック幅（1クロック=27ns）に1bit転送し、スレーブ音源101の受信手段4において、反転クロックエッジでそのデータを取り込むことで、マスタ音源100からの出力遅延を23ns、スレーブ音源101側のセットアップ時間を5nsとして計算しても、図5に示すように、26nsという十分な余裕がある。従ってこの間にデータを取り込めば良いことになる。この点、図12に示した従来構成とは大きな効果の違いとなる。

#### 【0044】

以上の実施例構成では、マスタ音源100及びスレーブ音源101がいずれも1チップのLSIに夫々構成され、2チップモードの時に、上述のような両者の接続構成とされる実施例であり、1チップモードの際は、波形メモリ102に対し、音源100だけで、アドレス出力及びデータの取り込みを行う。

#### 【0045】

他方一般的な電子回路では、それまで別々の機能を備えた回路を基盤上で夫々接続する

ことで構成していた場合の、消費電力の多さや処理スピードの低下傾向に対し、それらを改善するため、近年、別々の機能を奏する上記回路を複数纏めて、1チップのシステムLSI化する傾向がある（例えばテレビやパソコンの中の各別の機能ユニットを1チップ化するなどがある）。

#### 【0046】

しかし、このような1チップ化が上記音源100又は101のLSIにも適用された上で、さらに同時発音数を増加させるために、同じ機能回路構成を有するこれらの音源チップを複数使用して、上記のように、スレーブ音源101が行うべきアドレス出力及びスレーブ用波形データの取得を、マスタ音源100が主体となって行わせるようにした構成では、1チップに数十乃至百単位の端子が延出せしめられている。

#### 【0047】

また、機能毎に1乃至複数の端子が該チップから延出せしめられたこれらのチップでは、上記のように複数組み合わせ使用された場合には、使用されない機能の端子も多数存在することになる。たとえば、図6に示されるように、出力端子数24及び入力端子数16の外部メモリアクセス回路A、出力端子数7及び入力端子数4のスレーブ音源用アドレス出力/データ入力B、出力端子数5及び入力端子数8の鍵盤スキャン回路115a、出力端子数4及び入力端子数7のマスタ音源用データ出力/アドレス入力5の4機能を、1チップのシステムLSI化された音源で構成することとする。

#### 【0048】

ここで鍵盤スキャン回路115a機能について説明すると、128鍵分の鍵盤115のスイッチのON/OFFデータを、4つずつ時分割スキャンした場合、5本のスキャン信号(5bit、同回路115aの出力端子数は5、 $2^5=32$ )をデコードして32タイミングを生成する。そして1度に4鍵チェックする。1鍵に2つのスイッチがあるので、同時に8つのON/OFFデータ(同回路115aの入力端子数は8)を取り込むことになる(8bit)。

#### 【0049】

以上のような構成で、該音源が1チップモードで使用された場合、外部メモリアクセス回路A及び鍵盤スキャン回路115aの機能は、夫々波形メモリ102及び鍵盤115に接続されることで使用されるが、他のスレーブ音源用アドレス出力/データ入力B及びマスタ音源用データ出力/アドレス入力5の機能は、無使用の状態となる(他の回路などに接続されない)。

#### 【0050】

また2チップモードで使用された場合でも、マスタ音源側の外部メモリアクセス回路A及びスレーブ音源側の鍵盤スキャン回路115aの機能が夫々使用され、また両音源を接続してスレーブ音源用アドレス入出力及びスレーブ用波形データの入出力用に、マスタ音源側のマスタ音源用データ出力/アドレス入力5とスレーブ音源側のスレーブ音源用アドレス出力/データ入力Bが互いに接続されて使用され、マスタ音源側のスレーブ音源用アドレス出力/データ入力B及び鍵盤スキャン回路115aの機能、並びに、スレーブ音源側の外部メモリアクセス回路A及びマスタ音源用データ出力/アドレス入力5の機能は、夫々無使用の状態となる。

#### 【0051】

従って、1チップ化が上記音源LSIにも適用された上で、さらに同時発音数を増加させるために、同じ機能回路構成を有するこれらの両音源チップを同一基盤上に使用して、上記のように、スレーブ音源が行うべきアドレス出力及びスレーブ用波形データの取得を、マスタ音源が主体となって行わせるように構成した場合、1チップに数十乃至百単位の端子が延出せしめられているため、それらの端子を接続する回路基盤の設計が煩雑になってしまう。

#### 【0052】

そこで、図7に示すように、夫々のチップの各機能毎の入出力端子の切替を行える切替手段6、6a、6b、7、7a及び7bを設けて、2チップモード時に、使用されてい

い端子(図7では、マスタ音源側の鍵盤スキャン回路115aの各端子とスレーブ音源側の外部メモリアクセス回路Aの各端子)を、スレーブアドレス及びスレーブ用波形データの送受信に割り当てて使用させるものとする。

【0053】

以上のような構成にすることで、上記スレーブ用のアドレスやデータの送受信を入出力端子数の増加を抑えて行えるようになり、それによって、回路基盤設計の無駄を省くことも可能となる。ただし、図7の1チップモード時は、前図6の1チップモード時と回路的には変わっていない。

【0054】

尚、本発明の楽音発生装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【図面の簡単な説明】

【0055】

【図1】本発明に係る波形再生装置の構成が用いられた電子楽器の回路概略図である。

【図2】波形メモリ102に対する、2チップモード時のマスタ音源100及びスレーブ音源101に備えられる本発明の一実施例構成を示す説明図である。

【図3】波形メモリ102に対して、マスタ音源100、及び該マスタ音源100を介してのスレーブ音源101、夫々のメモリアドレス出力及び波形データ読み出しのタイミングチャートである。

【図4】マスタ音源100とスレーブ音源101との間にスキューが生じている場合に、本実施例構成で、マスタ音源100から波形メモリ102に入力されるアドレスと波形メモリ102からマスタ音源100に出力される波形データの状態、及びマスタ音源100の送信手段3から出力されるスレーブ波形用データのスレーブ音源101の受信手段4によるデータ取り込み状態を示すタイミングチャートである。

【図5】本実施例構成によるスレーブ音源の波形データ取り込み状態を示す説明図である。

【図6】音源に他の電子楽器機能の構成を備えたシステムLSI構成により電子楽器を構成する場合の1チップモード及び2チップモードにおける端子接続状態を示す説明図である。

【図7】切替手段を用いて図6の構成に改良を加えた場合の、1チップモード及び2チップモードにおける端子接続状態を示す説明図である。

【図8】波形メモリ102を共用するチップ音源100及び101が用いられる2チップモード時の従来構成のマスタ音源100とスレーブ音源101間のアドレス出力とデータの入力状態を示す説明図である。

【図9】上記従来構成における、マスタ音源100及びスレーブ音源101、夫々のメモリアドレス出力及び波形データ読み出しのタイミングチャートである。

【図10】従来構成における音源100だけを使用する1チップモードに変更された状態を示す説明図である。

【図11】上記1チップモードに変更された場合の音源100の状態を示すタイミングチャートである。

【図12】波形メモリを共用する2チップ音源が同時に使用される従来構成において、2チップモード時に、2チップ音源のシステムクロック間にスキューが発生している状態を示す説明図である。

【符号の説明】

【0056】

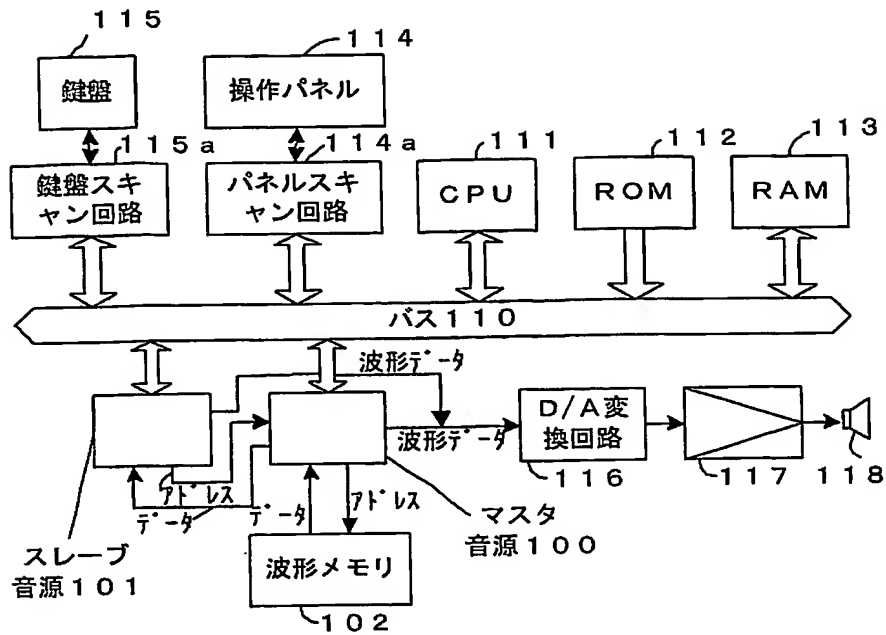
1、3  
2、4  
A  
B

送信手段  
受信手段  
外部メモリアクセス回路  
スレーブ音源用アドレス出力／データ入力

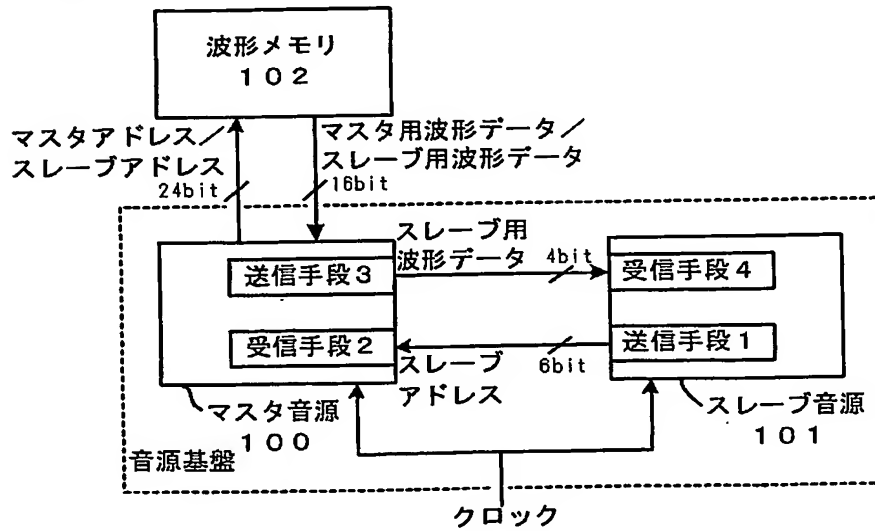
5	マスタ音源用データ出力／アドレス入力
6、6 a、6 b、7、7 a、7 b	切替手段
1 0 0	マスタ音源
1 0 1	スレーブ音源
1 0 2	波形メモリ
1 1 0	システムバス
1 1 1	C P U
1 1 2	R O M
1 1 3	R A M
1 1 4	操作パネル
1 1 4 a	パネルスキャン回路
1 1 5	鍵盤
1 1 5 a	鍵盤スキャン回路
1 1 6	D／A変換回路
1 1 7	アンプ
1 1 8	スピーカ

【書類名】 図面

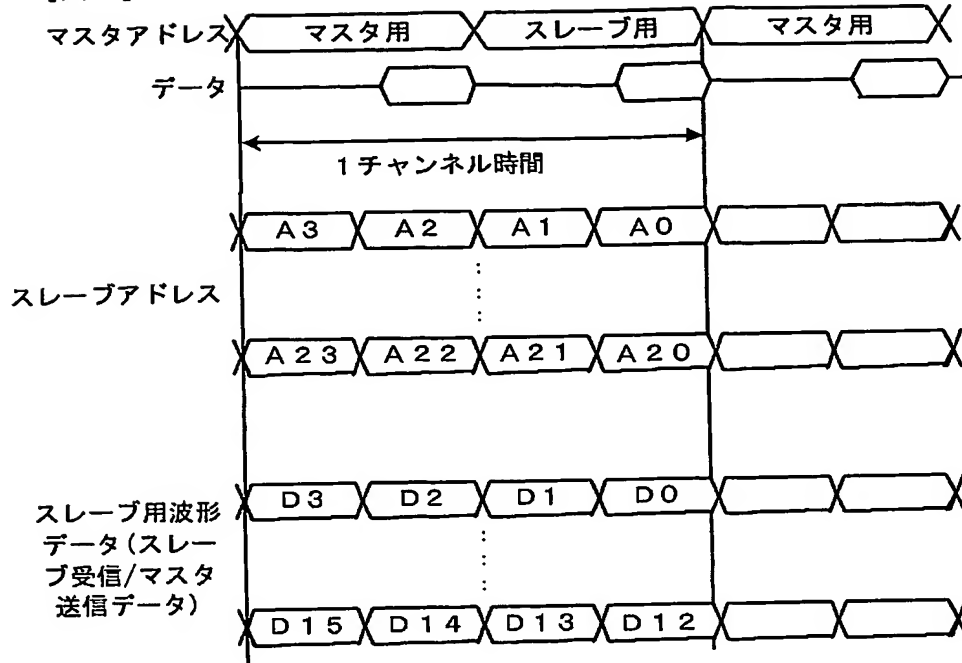
【図 1】



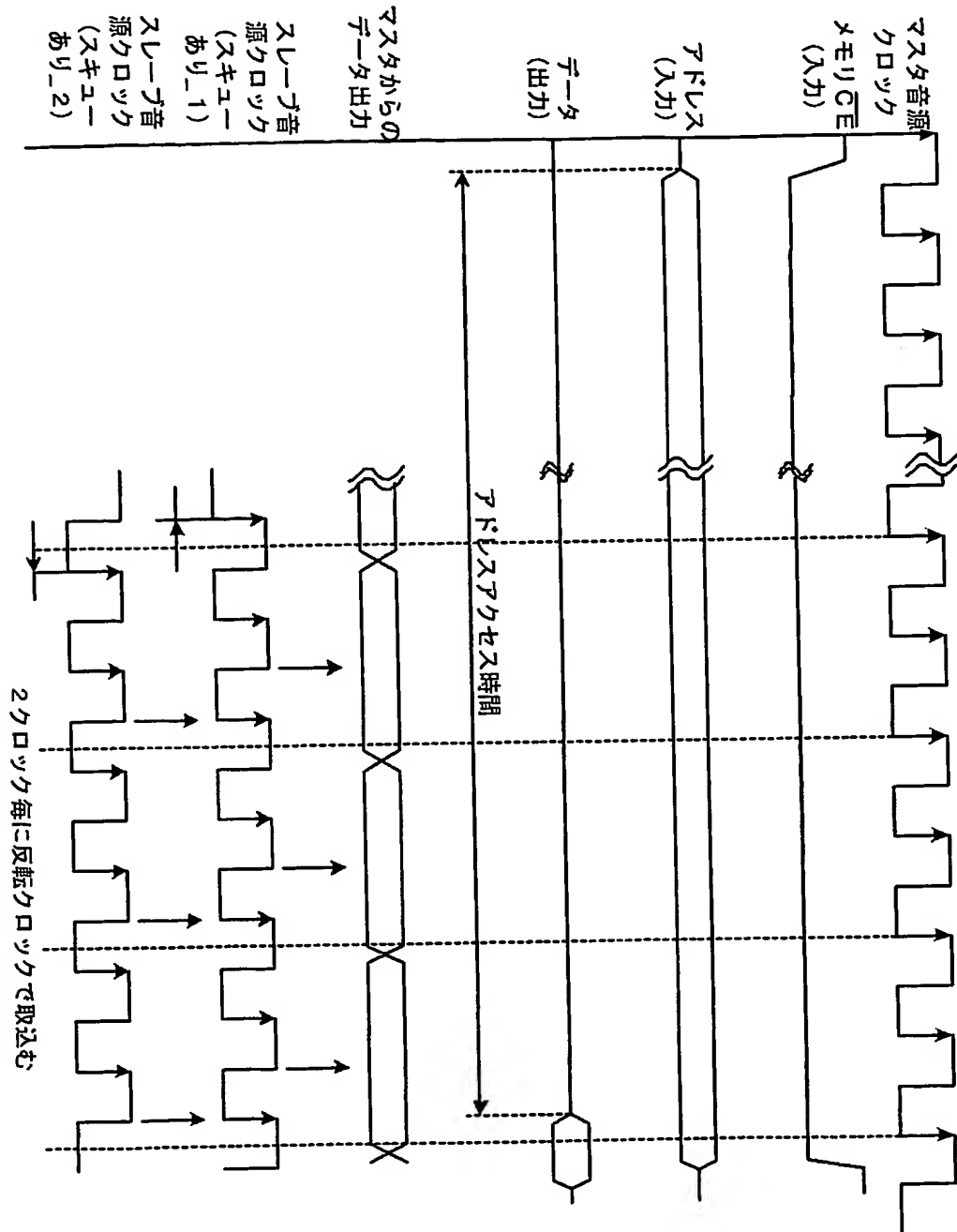
【図 2】



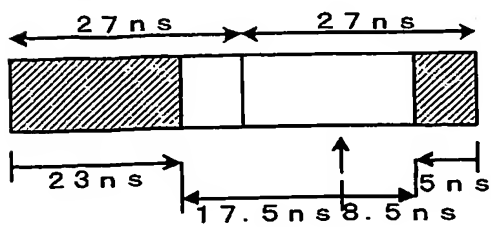
【図 3】



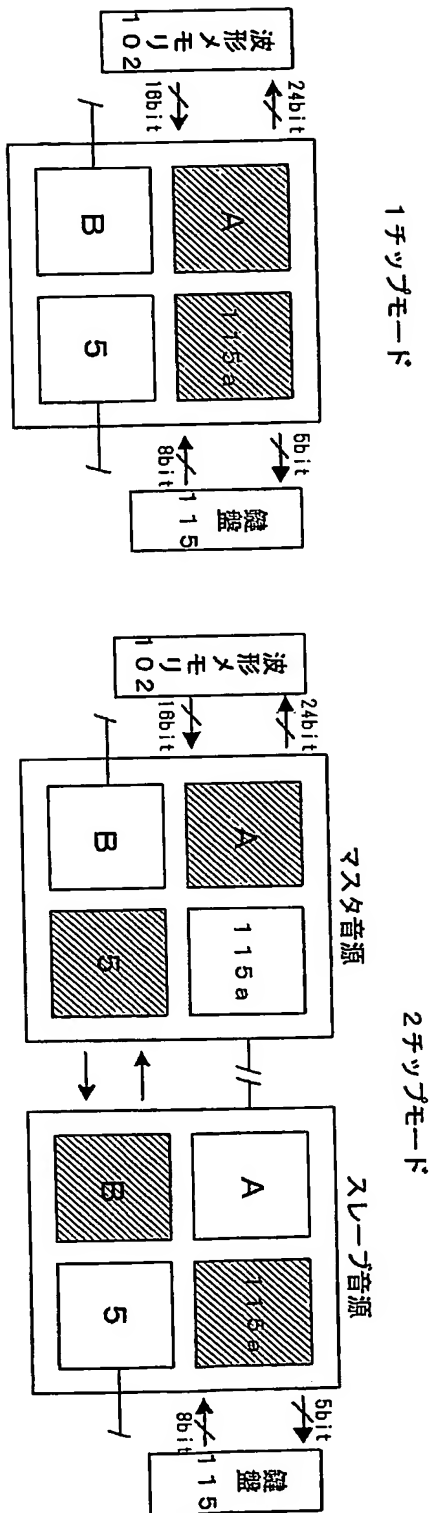
【図 4】



【図 5】

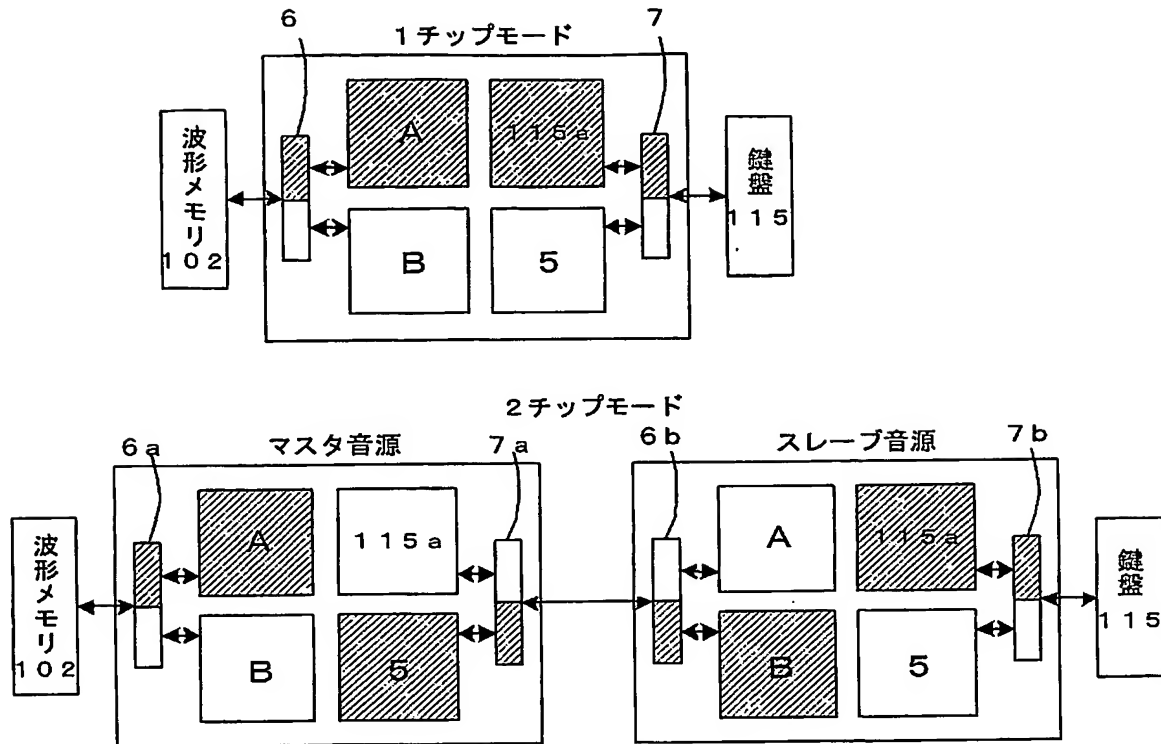


【図 6】

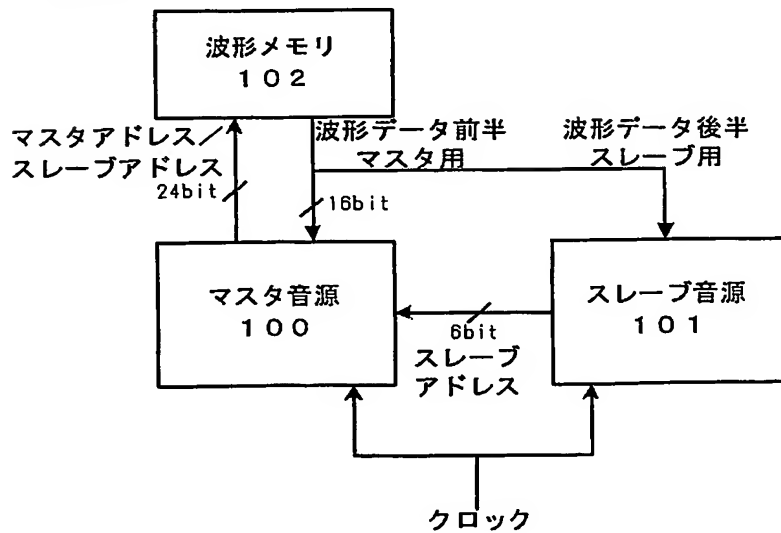


回路ブロックの機能等	出力端子数	入力端子数
A: 外部メモリアクセス回路	24	16
B: スレーブ音源用アドレス出力/データ入力	7	4
115a: 鍵盤スキャン回路	5	8
5: マスタ音源データ出力/アドレス入力	4	7

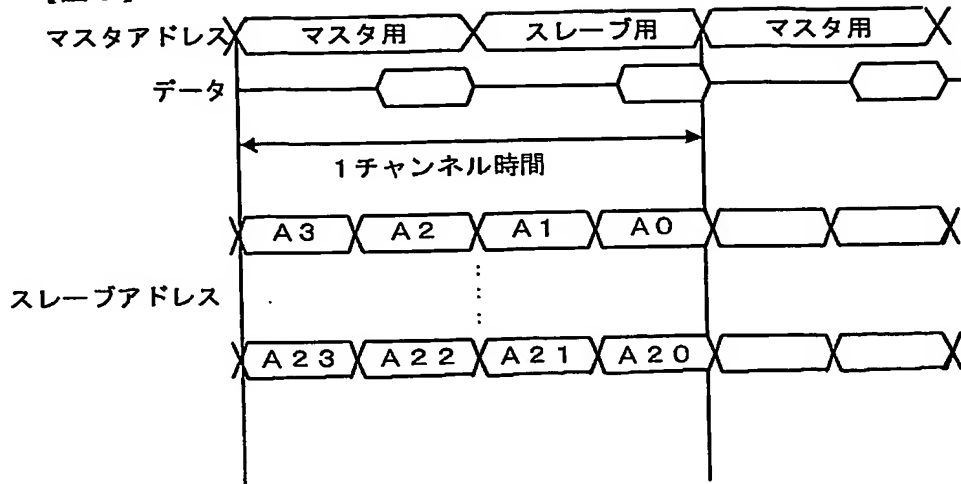
【図 7】



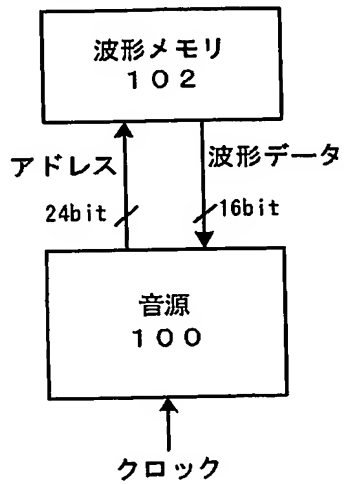
【図 8】



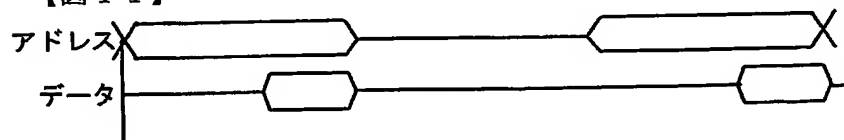
【図 9】



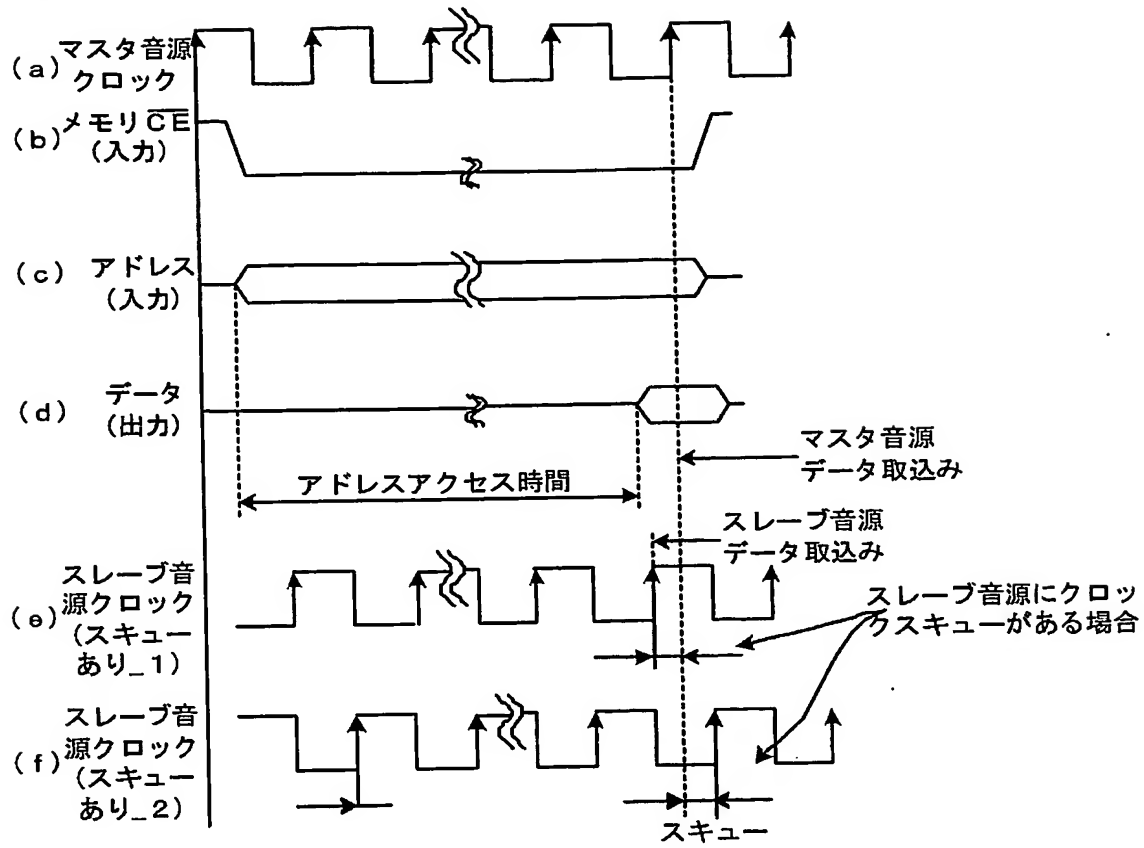
【図 10】



【図 11】



【図 12】



**【書類名】 要約書****【要約】**

**【課題】** 複数の音源が共通の波形メモリのデータを読み出す構成で、メモリアクセスサイクル時間が短い場合に、メモリアクセスのマスタとして動作する音源以外の音源が確実にデータを取得できる楽音発生装置を提供する。

**【解決手段】** スレーブ音源 101 には、波形読み出しスレーブアドレスをマスタ音源 100 へ送信する手段 1 と、マスタ音源 100 には、スレーブ音源 101 の上記送信手段 1 から送信された上記スレーブアドレスを受信する手段 2 と、マスタ音源 100 には、波形メモリ 102 から読み出されたスレーブ用波形データをスレーブ音源 101 に送信する手段 3 と、スレーブ音源 101 には、マスタ音源 100 の上記送信手段 3 から送信されたスレーブ用波形データを受信する手段 4 とが備えられる。

**【選択図】** 図 2

特願 2 0 0 3 - 4 1 2 9 2 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 4 1 0 ]

1. 変更年月日	1 9 9 0 年 8 月 1 0 日
[変更理由]	新規登録
住 所	静岡県浜松市寺島町 2 0 0 番地
氏 名	株式会社河合楽器製作所

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017685

International filing date: 29 November 2004 (29.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-412927  
Filing date: 11 December 2003 (11.12.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse